

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-177759

(43)Date of publication of application : 09.08.1986

(51)Int.Cl.

H01L 23/48

(21)Application number : 60-018562

(71)Applicant : HITACHI MICRO COMPUT ENG LTD
HITACHI LTD

(22)Date of filing : 04.02.1985

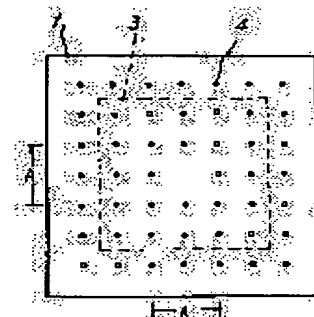
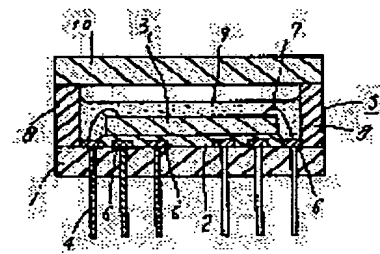
(72)Inventor : OKINAGA TAKAYUKI
TATE HIROSHI
FURUKAWA MICHIAKI
OTSUKA KANJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the mounting of chips with large sizes and the number of pins, to facilitate wiring design, and to enable the miniaturization of the package size, by providing outer leads over the whole, and mounting a chip thereon.

CONSTITUTION: A semiconductor element 3 is fixed on a base 1 with an adhesive material 2. The semiconductor element 3 is made of e.g. an Si single crystal substrate: this chip contains many circuit elements, which give one circuit function. The substrate 1 is provided with many outer leads 4 in upright in a vertical direction, and the underside of the element 3 is provided with outer leads 4 in upright. The outer leads 4 made of metallic pins project over the whole out of the back of the substrate 1 of the package body 5 in checker form at the fixed pitch. The semiconductor element 3 larger than the pin interval A of the opposition of the innermost metallic pins 4 is mounted on them.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-177759

⑫ Int.Cl.⁴

H 01 L 23/48

識別記号

庁内整理番号

7357-5F

⑬ 公開 昭和61年(1986)8月9日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-18562

⑯ 出 願 昭60(1985)2月4日

⑰ 発 明 者 沖 永 隆 幸 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 館 宏 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
小平市上水本町1479番地

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\r\n㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. パッケージより、アウターリードを垂直に出した半導体装置であって、前記パッケージ本体内の半導体素子の下部にも前記アウターリードを有して成ることを特徴とする半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置に関し、特に、大型の半導体素子を搭載できるプラグインパッケージに関する。

〔背景技術〕

従来のプラグインパッケージは、一般に、セラミック基板に、半導体素子(チップ)を搭載できる隣部を構造し、該隣部内にチップを搭載し、セラミック基板の裏面に、多数の金属ピンをろう付けし、パッケージ本体から、垂直方向に、多数の当該金属ピンよりなるアウターリードを引き出ししており、前記チップは当該ピン(アウターリード)

の内周よりも内側に搭載してなる。すなわち、チップの下部にはアウターリードは設けられていず、チップの周辺に、アウターリードを配設する構造がとられている。

このため、隣部の大きさにより、チップのサイズが限定され、最内周の対向する二辺のピンの間隔よりも大なるサイズのチップは搭載することができなかった。

また、大型サイズのチップを搭載したとしてもコネクタワイヤにより、チップのパッケージと金属ピンとの接続に際し、配線の引きまわしが困難で、特に、最内周のピン間にはコネクタワイヤの本数が多くなったりして、その配線の引きまわしが困難となる。

さらに、従来のプラグインパッケージにあっては、前記のごとく、チップを隣部に搭載し、その周辺下部にピンを垂設するので、多ピン化の要請にも限度があり、大チップを搭載すると、その周辺のピン配設部が拡大し、パッケージも大型化せざるを得ず、小型パッケージの実現は不可能であ

った。

なお、プラグインパッケージの高密度実装技術について詳しく述べている例には日刊工業新聞社発行「電子技術」第23巻第9号P52～53がある。

〔発明の目的〕

本発明の目的は、大チップ搭載可能としたプラグインパッケージを提供することを目的とする。

本発明の他の目的はピン数の増加したプラグインパッケージを提供することを目的とする。

本発明のさらに他の目的は配線の引き回しが容易なプラグインパッケージを提供することを目的とする。

本発明のさらに他の目的はパッケージサイズの小型化を目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なも

の回路素子が形成され、1つの回路機能を与えている。回路素子は、例えばCMOSから成り、これらの回路素子によって、例えば論理回路やメモリの回路機能が形成されている。

基板1には第1図および第2図に示すようにその垂直方向に多数のアウターリード4が立設されている。

本発明では、これら図に示すように、アウターリード4は半導体素子3の下部にも立設されている。パッケージ本体5の基板1の裏面から蓋盤目状に一定のピッチで、金属ピンよりなるアウターリード4が全面にわたって突出しており、第2図に示すように、最内周の金属ピン4の対向するピン間隔(A)よりも大なる半導体素子3を搭載している。

ベース1には、第1図にはメタライズ層(配線層)6がメッキ、蒸着などにより設けられており、このメタライズ層6と半導体素子3のパッド(図示せず)とを、コネクタワイヤ7により、第1図に示すように、超音波ボンディングなどの方法に

のの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明では、チップの下部にもアウターリードを垂直に出した構成、換言すれば、アウターリードを全面に設け、その上部にチップを搭載する構成としたので、チップは大なるサイズのものも搭載でき、ピン数も増加でき、配線引きまわしも容易となり、かつ、パッケージサイズも小型化可能となる。

〔実施例〕

次に、本発明の実施例を図面に基づき説明する。

第1図に示すように、ベース(基板)1の上に接着材料2により半導体素子(チップ)3を固着する。

ベース1は例えばガラスエポキシ基板により構成される。接着材料2には、後述するシリコン系ゲル(以下S1系ゲルという)を使用することが好ましい。

半導体素子3は例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数

よりボンディングし、上記メタライズ層6と、アウターリード4とを、ベース1に穿設されたスルホールを介して電気的に接続している。

アウターリード4は、ベース1に触点の高い半田により、半田付される。

上記メタライズ層6は、例えばAuより構成される。コネクタワイヤ7には、例えばAu細線が使用される。

ベース1上に、ダム8を前記接着材料2と同様の接合材料により、接合し、このダム8により区画されたエリア内にS1系ゲル材料をポットイングし、加熱硬化させ、得られたS1系ゲル9により、半導体素子3とコネクタワイヤボンディング部などを被覆する。

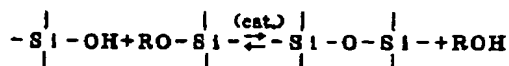
ゲル9には、従来エレクトロニクス材料あるいはオプティカルファイバー用シリコンコーディング剤として市販されていたものを使用でき、例えばICメモリーのソフトエラー対策用として用いられていたものを用いることができる。

このゲル材料はリキッド状であり、1液タイプ、

2液タイプがあり、例えば主剤と硬化剤とから成る2液タイプの場合、これらを混合すると反応硬化（架橋）し、硬化物を得る。

硬化システムとしては次の反応式で示すように、
 縮合型、付加型、紫外線硬化型がある。

複合型

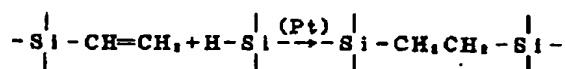


cat.; Sn-Ti系触媒

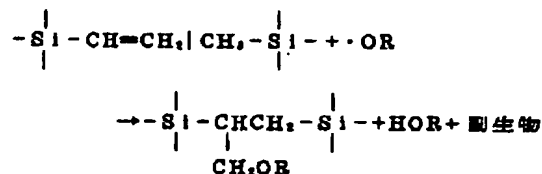
R : 例えばアルキル基

(以下同じ)。

付加型



紫外線硬化型



ば信越化学工業社製KJR9010、X-35-100、東レシリコン社製JCR6110などがある。

上記 X-35-100〔A(主剤)、B(硬化剤) 2液タイプ、針入度100〕の硬化反応機構は白金付加型で、2液低温高湿用ゲルで-75~250℃の温度範囲で使用できる。

このグムの形成材料は前記のごとくリヤッド状であり、ポッティングにより、半導体素子3などをコートするに、そのポッティングの隅の流れ止めのために、第1図に示すように、配線基板1の上面に前記のごとく接合材料を使用し、ゴム8を取付ける。このゴム8は例えばガラスエポキシ又はゴムにより構成される。

前記のごとく、シリコン系ゲル9は柔軟であり、半導体素子3などを機械的に保護するために、第1図に示すように、キャップ10をダム8上に取付ける。このキャップ10は例えばガラスエポキシにより構成される。このキャップ9のダム8への取付けには、前記接着材料2と同様の組成内容の接着材料により取付けるとよい。

硬化物を得るに、加熱（ベーク）するとゴム化が進む。

本発明に使用されるシリコン系ゲルはシリコンゴムと異なり架橋密度の低いものである。一般に、封止材料として使用されているシリコン系樹脂とも異なる。

シリコン系ゲルよりも架橋密度の低いものとしてシリコン系オイルがある。

累積密度は一般に針入度計を用いて測定され、それに使用される針についてはASTMD1321に規格がある。

針入度からみて、一般にゲルは4~20mmの範囲、オイルは20mm以上であり、ゲルの硬化反応の促進によりゴム化が起り、シリコンゴムと称されているものは一般に針入度4mm以下である。

本発明に使用されるシリコン系ゲル9は柔軟であり、このシリコン系ゲルの硬化によっても、ワイヤの破断などが起こらない。また、耐湿性が極めて良好である。

このシリコーン系ゲルの具体例としては、例え

第3図は、本発明におけるワイヤボンディングおよびピン間の配線の要部平面図で、第3図に示すように、半導体素子3のボンディングパッド11とメタライズ層9とをコネクタワイヤ7によりボンディングするが、本発明では配線基板1のメタライズ層(配線)9をボンディングリードとして利用すると、ピン間に引きまわすコネクタワイヤの本数が少なくでき、その配線が楽になる。

〔效果〕

(1) アウターリードを、従来のごとく、チップの周辺下部に垂設するという制限を取り払い、全面に一定のピッチで基盤目状に配列し、それらアウターリードの上部にチップを搭載するようにしたので、チップは大きなサイズであっても搭載可能である。

すなわち、アウトリードの配列された内部にチップを搭載するようにしていたので、チップの大きさは、アウトリードの最内周の対向するピン間隔よりも越えることはできず、そのピン間隔により制限され、大チップを搭載することはでき

ない本発明によれば大きなサイズのチップの搭載が可能となる。

(2) 上記のようにアウターリードをベース全面にわたり多数設けているので、多ピン化が可能である。

すなわち、チップの周辺下部にアウターリードを設けるので、その周辺の狭いエリア内にアウターリードを配列することになり、アウターリードの数は然らずと制限されるが、本発明はかかる制限なく、多数のアウターリードをパッケージ本体から垂直に出すことができる。

(3) 大チップ化に伴ない、ピン間のコネクタワイヤの本数を低減でき、ピン間の配線が容易となる。その際ベース（配線基板）のメタライズ層をボンディングリードとして使用することにより、一層ピン間配線が容易となる。

(4) チップサイズを大きくしたら、アウターリードの配列に要するエリアもそれに伴ない拡大しなければならなかったが、チップサイズを大きくしても、アウターリードの配列に要するエリアを拡

大する必要がなく、したがって、パッケージサイズを小さくすることができ、従来と同一サイズのパッケージでも、収納されるチップは大なるものとすることができる。

(5) S i ゲルによりチップなどを被覆するようにしたので、耐湿性が良好で、また、当該ゲルは柔軟であるので、ワイヤ破断などを起こさず、また、ベースにガラスエポキシ基板を使用することによりチップとの熱膨張係数もマッチさせることができ、かつ、プラスチック化が可能であるので、高信頼性で、低コストのものが得られる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

〔産業上の利用分野〕

以上の説明では主として本発明者によってなされた発明をプラグインパッケージに適用した例を示したが、他のパッケージなどにも適用できる。

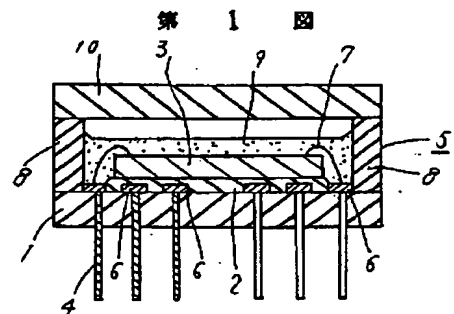
図面の簡単な説明

第1図は本発明の実施例を示す断面図、

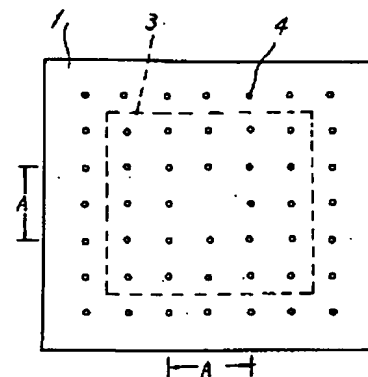
第2図は本発明の実施例を示す底面図、

第3図は本発明の実施例を示す要部平面図である。

1…ベース（配線基板）、2…接着材料、3…半導体素子、4…アウターリード、5…パッケージ本体、6…メタライズ層、7…コネクタワイヤ、8…ダム、9…シリコン系ゲル、10…チップ、11…パッド。



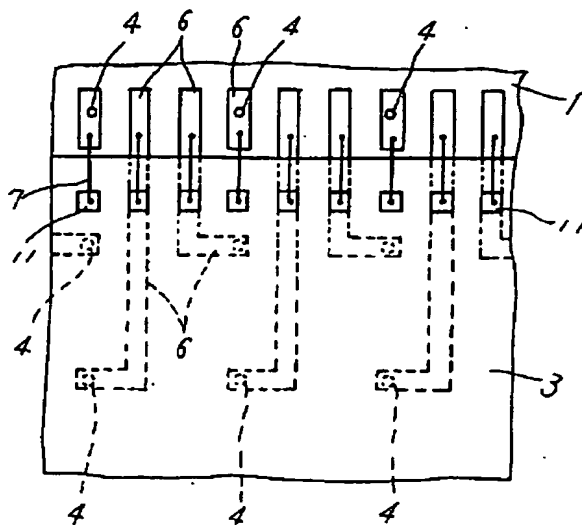
第 2 図



代理人 弁理士 小川 勝 男



第 3 図



第1頁の続き

⑦発 明 者	古 川	道 明	小平市上水本町1450番地	株式会社日立製作所デバイス開 発センタ内
⑧発 明 者	大 塚	寛 治	小平市上水本町1450番地	株式会社日立製作所デバイス開 発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.